

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-250068

(43)Date of publication of application : 14.09.2000

(51)Int.Cl.

G02F 1/136

G09G 3/20

G09G 3/36

(21)Application number : 11-056848

(71)Applicant : NEC CORP

(22)Date of filing : 04.03.1999

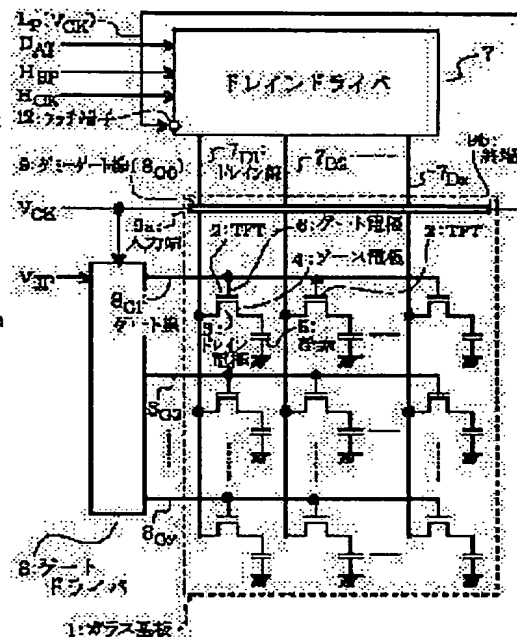
(72)Inventor : NAKAJIMA KEIICHI

(54) TFT PANEL AND LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To make coincidence of an output of the image data for plural pixels with the timing of write-in of the image data for these pixels without a timing adjustment circuit, etc., by providing an auxiliary signal line formed parallel to respective first signal line groups within the range of both ends of a second signal line group.

SOLUTION: A shift clock VCK deciding the scan timing of a gate driver 8 is supplied from an input end 9a being the nearest end part to the gate driver 8 in a dummy gate line 9 (8G0). The shift clock signal VCK' passing through the dummy gate line 9 (8G0) is supplied to a latch terminal 12 of a drain driver 7 as a latch signal LP. When a selection pulse is applied to gate lines 8G1-8Gy to which respective TFTs 2 are connected, respective TFTs 2 are turned on between with respective electrodes of the pixels 5 answering to drain lines 7D1-7Dx. Thus, the data applied to the drain lines 7D1-7Dx are written in the pixels.



LEGAL STATUS

[Date of request for examination] 01.03.2000

[Date of sending the examiner's decision of rejection] 04.03.2003

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C): 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号
特開2000-250068
(P2000-250068A)

(43)公開日 平成12年9月14日(2000.9.14)

(51)Int.Cl. ⁷	識別記号	F I	テ-マ-ト*(参考)
G 0 2 F 1/136	5 0 0	G 0 2 F 1/136	5 0 0 2 H 0 9 2
G 0 9 G 3/20	6 2 4	G 0 9 G 3/20	6 2 4 E 5 C 0 0 6
3/36		3/36	5 C 0 8 0

審査請求 有 請求項の数10 O L (全 8 頁)

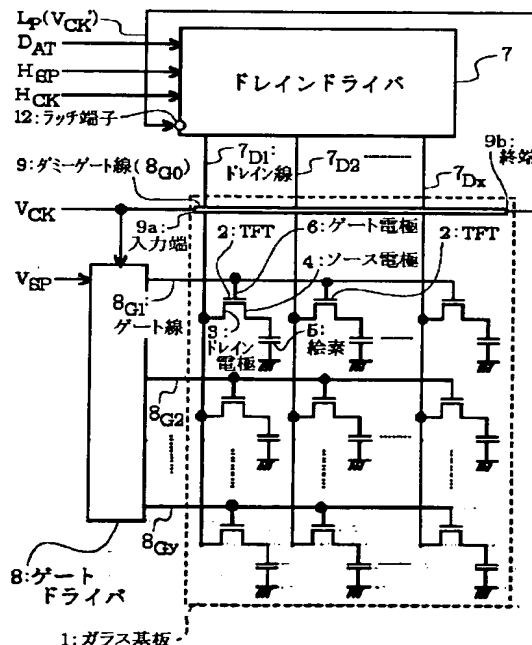
(21)出願番号	特願平11-56848	(71)出願人	000004237 日本電気株式会社 東京都港区芝五丁目7番1号
(22)出願日	平成11年3月4日(1999.3.4)	(72)発明者	中島 啓一 東京都港区芝五丁目7番1号 日本電気株式会社内
		(74)代理人	100097113 弁理士 堀 城之
		Fターム(参考)	2H092 GA61 JA24 NA01 PA06 5C006 AF52 AF71 BB16 BC03 BC12 BC22 BC23 BF03 BF04 BF07 FA16 FA41 5C080 AA10 BB05 DD22 FF11 JJ02 JJ04

(54)【発明の名称】 TFTパネルおよび液晶表示装置

(57)【要約】

【課題】 複雑で多大な空間を占有するタイミング調整回路等を設けることなく、複数の絵素に対する画像データの出力と、この絵素への画像データの書き込みのタイミングを合わせることができるTFTパネルおよび液晶表示装置を提供する。

【解決手段】 第1の信号線群に供給する選択信号を順次シフトするために選択信号源に供給されるシフトクロック信号を、第1の信号線群と略直交する第2の信号線群の各々に対する情報信号の入力端側において第1の信号線群と平行に形成された補助信号線の入力端に供給し、第1の信号線群の各々の入力端から終端までの信号伝達に要する時間に対応して補助信号線の終端から出力される遅延シフトクロック信号を、情報信号源が情報信号を等タイミングで出力するためのタイミング決定端子に供給する。



【特許請求の範囲】

【請求項1】 互いに平行に形成された第1の信号線群 (8_{G1} 、 8_{G2} ・・・ 8_{Gy})と、

前記第1の信号線群の各々と交差するとともに互いに平行に形成された第2の信号線群 (7_{D1} 、 7_{D2} ・・・ 7_{Dx})と、

前記第1の信号線群の各々と前記第2の信号線群の各々との交差点の各々に形成された複数の薄膜トランジスタ (2 、 2 ・・・)と、

前記第2の信号線群の両端の範囲内で前記第1の信号線群の各々と平行に形成された補助信号線 (8_{G0} 、 9)とを具備することを特徴とするTFTパネル。

【請求項2】 前記第1の信号線群の各々には順次選択信号が供給され、前記補助信号線の入力端 ($9a$)と終端 ($9b$)との間は、

外部から前記第2の信号線群の各々に情報信号を供給する情報信号源 (7)が前記第1の信号線群の各々の入力端から終端までの信号伝達に要する時間 (Δt)を決定するための遅延手段として用いられることを特徴とする請求項1に記載のTFTパネル。

【請求項3】 前記第1の信号線群の各々と前記第2の信号線群の各々とは互いに略直交することを特徴とする請求項1または請求項2の何れかに記載のTFTパネル。

【請求項4】 前記補助信号線は、前記第2の信号線群の各々に対する前記情報信号の入力端側に形成されることを特徴とする請求項1ないし請求項3までの何れかに記載のTFTパネル。

【請求項5】 各前記複数の薄膜トランジスタのゲート電極 (6)は対応する前記第1の信号線群の何れかに接続され、各前記複数の薄膜トランジスタのドレイン電極 (3)は対応する前記第2の信号線群の何れかに接続され、前記複数の薄膜トランジスタのソース電極 (4)には各々液晶絵素 (5 、 5 ・・・)が接続されることを特徴とする請求項1ないし請求項4までの何れかに記載のTFTパネル。

【請求項6】 (a) 互いに平行に形成された第1の信号線群と、前記第1の信号線群の各々と交差するとともに互いに平行に形成された第2の信号線群と、前記第1の信号線群の各々と前記第2の信号線群の各々との交差点の各々に形成された複数の薄膜トランジスタと、前記第2の信号線群の両端の範囲内で前記第1の信号線群の各々と平行に形成された補助信号線とを有する基板 (1 、 $1a$)と、

(b) 前記第1の信号線群の各々に順次選択信号を供給する選択信号源 (8)と、

(c) 前記第2の信号線群の各々に等タイミングで所定の情報信号を供給する情報信号源とを具備することを特徴とする液晶表示装置。

【請求項7】 前記選択信号を順次シフトするために前記選択信号源に供給されるシフトクロック信号

(V_{CK})を前記補助信号線の入力端に供給し、前記第1の信号線群の各々の入力端から終端までの信号伝達に要する時間に対応して前記補助信号線の終端から出力される遅延シフトクロック信号 (V_{CK}' 、 L_P)を前記情報信号源が前記情報信号を等タイミングで出力するためのタイミング決定端子 (12)に供給することを特徴とする請求項6に記載の液晶表示装置。

【請求項8】 前記第1の信号線群の各々と前記第2の信号線群の各々とは互いに略直交することを特徴とする請求項6または請求項7の何れかに記載の液晶表示装置。

【請求項9】 前記補助信号線は、前記第2の信号線群の各々に対する前記情報信号の入力端側に形成されることを特徴とする請求項6ないし請求項8までの何れかに記載の液晶表示装置。

【請求項10】 各前記複数の薄膜トランジスタのゲート電極は対応する前記第1の信号線群の何れかに接続され、各前記複数の薄膜トランジスタのドレイン電極は対応する前記第2の信号線群の何れかに接続され、前記複数の薄膜トランジスタのソース電極には各々液晶絵素が接続されることを特徴とする請求項6ないし請求項9までの何れかに記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、携帯情報端末の表示装置や据え置き型情報端末向けの省空間表示装置等、小型軽量で占有画面寸法が大きく且つ様々な解像度に対応し得る電子機器に用いて好適なTFTパネルおよび液晶表示装置に関する。

【0002】

【従来の技術】図4は、従来のTFTパネルのコントローラの一例にかかる電氣的構成を示すブロック図、図5は図4に示すTFTパネルの各部における動作波形を示すタイミングチャートである。

【0003】ガラス基板101上に配置された各TFT (薄膜トランジスタ) 102、102・・・に接続される絵素に各ライン毎にデータを書き込むには、まずスタートパルス H_{SP0} をきっかけに、データパルス D_{AT0} をシフトクロック信号 H_{CK0} によって順次格納させるドレインドライバ107から出力されるドレイン線 D_1 、 D_2 ・・・ D_x を切り替える。

【0004】このとき、ゲート線 G_1 、 G_2 ・・・ G_y に供給される信号は、これらゲート線 G_1 、 G_2 ・・・ G_y の入力端では図5に示す各々実線Aのような波形と

なるが、終端部では各々破線Bのように遅延する。

【0005】そこで、ゲート線遅延時間 Δt_0 だけ進ませたシフトクロック信号 V_{CK0} をゲートドライバ108に供給し、スタートパルス V_{SP0} から順次出力されるゲート線 G_1 、 G_2 、 \dots 、 G_y （各々第1ライン、第2ライン、 \dots 、第 y ラインに対応）を制御している。

【0006】即ち、予めシフトクロック信号 V_{CK0} とラッチ信号 L_P0 との間にゲート線遅延時間 Δt_0 だけ時間差を設けることで、ゲート線遅延時間を補償し、各絵素に正しくデータが書き込まれるように設定されている。

【0007】通常、シフトクロック信号 V_{CK0} とラッチ信号 L_P0 のディレイはドライバを制御するタイミングコントローラ内で生成される、ゲート線遅延時間 Δt_0 のディレイは、シフトクロック信号 H_{CK0} のパルス数を一定数計数することで生成している。

【0008】

【発明が解決しようとする課題】このように従来例では、コントローラ内でシフトクロック信号 V_{CK0} 、ラッチ信号 L_P0 のディレイは、シフトクロック信号 H_{CK0} のパルス数で制御している。ところが、複数の解像度（画面画素数）を扱うモニタ（表示装置）では、解像度に応じて入力されるシフトクロック信号 H_{CK0} のパルス幅（タイミング）が異なり、入力される解像度のタイミング毎にシフトクロック信号 H_{CK0} のパルス数を設定しておかなければならない。このため、コントローラが複雑になるという問題点があった。

【0009】また、公知技術として特開昭63-261389号公報には、ドレイン線の書き込みタイミングとゲート線のタイミングを外部のアナログ遅延回路で遅延させる例が挙げられている。

【0010】この例に基づく、シフトクロック信号を遅延させるために、パネル外部に抵抗とコンデンサとによる時定数とシュミットトリガ素子とによる遅延回路を配置しなければならず、部品数等の削減が難しい。

【0011】この発明は、このような背景の下になされたもので、複雑で多大な空間を占有するタイミング調整回路等を設けることなく、複数の絵素に対する画像データの出力と、この絵素への画像データの書き込みのタイミングを合わせることができるとFTパネルおよび液晶表示装置を提供することを目的としている。

【0012】

【課題を解決するための手段】上述した課題を解決するために、請求項1に記載の発明にあっては、互いに平行に形成された第1の信号線群と、前記第1の信号線群の各々と交差するとともに互いに平行に形成された第2の信号線群と、前記第1の信号線群の各々と前記第2の信号線群の各々の交差点の各々に形成された複数の薄膜トランジスタと、前記第2の信号線群の両端の範囲内で前記第1の信号線群の各々と平行に形成された補助信号

線とを具備することを特徴とする。また、請求項2に記載の発明にあっては、前記第1の信号線群の各々には順次選択信号が供給され、前記補助信号線の入力端と終端との間は、外部から前記第2の信号線群の各々に情報信号を供給する情報信号源が前記第1の信号線群の各々の入力端から終端までの信号伝達に要する時間を決定するための遅延手段として用いられることを特徴とする。また、請求項3に記載の発明にあっては、前記第1の信号線群の各々と前記第2の信号線群の各々とは互いに略直交することを特徴とする。また、請求項4に記載の発明にあっては、前記補助信号線は、前記第2の信号線群の各々に対する前記情報信号の入力端側に形成されることを特徴とする。また、請求項5に記載の発明にあっては、各前記複数の薄膜トランジスタのゲート電極は対応する前記第1の信号線群の何れかに接続され、各前記複数の薄膜トランジスタのドレイン電極は対応する前記第2の信号線群の何れかに接続され、前記複数の薄膜トランジスタのソース電極には各々液晶絵素が接続されることを特徴とする。また、請求項6に記載の発明にあっては、(a)互いに平行に形成された第1の信号線群と、前記第1の信号線群の各々と交差するとともに互いに平行に形成された第2の信号線群と、前記第1の信号線群の各々と前記第2の信号線群の各々の交差点の各々に形成された複数の薄膜トランジスタと、前記第2の信号線群の両端の範囲内で前記第1の信号線群の各々と平行に形成された補助信号線とを有する基板と、(b)前記第1の信号線群の各々に順次選択信号を供給する選択信号源と、(c)前記第2の信号線群の各々に等タイミングで所定の情報信号を供給する情報信号源とを具備することを特徴とする。また、請求項7に記載の発明にあっては、前記選択信号を順次シフトするために前記選択信号源に供給されるシフトクロック信号を前記補助信号線の入力端に供給し、前記第1の信号線群の各々の入力端から終端までの信号伝達に要する時間に対応して前記補助信号線の終端から出力される遅延シフトクロック信号を前記情報信号源が前記情報信号を等タイミングで出力するためのタイミング決定端子に供給することを特徴とする。また、請求項8に記載の発明にあっては、前記第1の信号線群の各々と前記第2の信号線群の各々とは互いに略直交することを特徴とする。また、請求項9に記載の発明にあっては、前記補助信号線は、前記第2の信号線群の各々に対する前記情報信号の入力端側に形成されることを特徴とする。また、請求項10に記載の発明にあっては、各前記複数の薄膜トランジスタのゲート電極は対応する前記第1の信号線群の何れかに接続され、各前記複数の薄膜トランジスタのドレイン電極は対応する前記第2の信号線群の何れかに接続され、前記複数の薄膜トランジスタのソース電極には各々液晶絵素が接続されることを特徴とする。

【0013】この発明によれば、遅延回路をパネル内に

持たせることにより、外部回路等で遅延時間を設定する必要がなく、部品数等を削減することができる。また、従来例として記載したように入力されたシフトクロック信号 H_{CK0} 数を数えることでゲート線遅延時間の設定をする必要がないので、入力されるシフトクロック信号 H_{CK0} のパルス幅によらず、最適なタイミングで絵素に画像データを書き込むことができる。

【0014】即ち、絵素書き込みのタイミングを調整するためのダミー・ゲート配線をパネル内に配置することで、ドレイン線とゲート線の駆動タイミングを合わせる。従って、この TFT 液晶パネル等のドライバを制御するコントローラ内に、ゲート線遅延時間を設定しておく必要がない。

【0015】

【発明の実施の形態】以下に、本発明について説明する。図1は、本発明の第1の実施の形態にかかる TFT パネルの構成を示すブロック図である。図1に示すように本実施の形態では、ガラス基板上1に複数のドレイン線 7_{D1} 、 7_{D2} ・・・ 7_{Dx} とゲート線 8_{G1} 、 8_{G2} ・・・ 8_{Gy} とが直交して複数形成されている。これら各ドレイン線 7_{D1} 、 7_{D2} ・・・ 7_{Dx} とゲート線 8_{G1} 、 8_{G2} ・・・ 8_{Gy} との交差部分に各々 TFT 2、2・・・が形成されている。

【0016】これら各 TFT 2 のドレイン電極3は、対応する上述のドレイン線 7_{D1} 、 7_{D2} ・・・ 7_{Dx} に接続されている。また同様にゲート電極6は対応する上述のゲート線 8_{G1} 、 8_{G2} ・・・ 8_{Gy} に接続されている。そして各 TFT 2 のソース電極4には、各々絵素5の電極が接続されている。

【0017】本実施の形態では、このガラス基板上1のゲート線 8_{G1} と平行且つこのゲート線 8_{G1} よりドレインドライバ7寄り（物理的にゲート線 8_{G1} とドレインドライバ7との間に位置するものであり、ここでは便宜上このように表現する）にダミーゲート線9（ダミーゲート線 8_{G0} に相当する）が形成されている。このダミーゲート線9はドレイン線 7_{D1} 、 7_{D2} ・・・ 7_{Dx} と直交するが、TFT 等は接続されていない。

【0018】各ゲート線 8_{G1} 、 8_{G2} ・・・ 8_{Gy} は、ガラス基板1の一端部（図1ではガラス基板1の左端部）でゲートドライバ8に接続され、各ドレイン線 7_{D1} 、 7_{D2} ・・・ 7_{Dx} もガラス基板1の他端部（図1ではガラス基板1の上端部）でドレインドライバ7に接続されている。

【0019】ダミーゲート線9（ 8_{G0} ）におけるゲートドライバ8に最も近い端部である入力端9aからは、ゲートドライバ8のスクランタイムングを決めるシフトクロック信号 V_{CK} が供給される。

【0020】一方ダミーゲート線9（ 8_{G0} ）におけるゲートドライバ8から最も遠い端部である終端9bはドレインドライバ7の信号出力タイミングを決めるラッチ

端子12に接続されている。即ち、ダミーゲート線9（ 8_{G0} ）を通過したシフトクロック信号 V_{CK} がラッチ信号 L_P としてドレインドライバ7のラッチ端子12に供給される。

【0021】各 TFT 2、2・・・は、接続されているゲート線 8_{G1} 、 8_{G2} ・・・ 8_{Gy} に選択パルスが印加されたとき、ドレイン線 7_{D1} 、 7_{D2} ・・・ 7_{Dx} と対応する絵素5、5・・・の電極の各々との間がオンとなる。これにより、ドレイン線 7_{D1} 、 7_{D2} ・・・ 7_{Dx} に印加されているデータが絵素に書き込まれる。

【0022】書き込み終了後は、ゲート線 8_{G1} 、 8_{G2} ・・・ 8_{Gy} の選択パルスをオフにすることで、絵素のデータは次の書き込みまで保持される。これにより、平面の表示が得られる。

【0023】図2は、図1に示す各部における信号の変化の様子を示すタイミングチャートである。なお、図2に示すゲート線 8_{G1} 、 8_{G2} ・・・ 8_{Gy} における信号波形では、実線Aでゲートドライバ8に最も近い位置の様子を、破線Bでゲートドライバ8から最も遠い位置の様子を示している。

【0024】以下に、図1ならびに図2を参照して、本実施の形態の動作について詳細に説明する。このガラス基板1上の各絵素5、5・・・に任意の電圧を書き込むために、まずドレインドライバ7にスタート信号 H_{SP} を供給する。

【0025】このスタート信号 H_{SP} の入力をきっかけとして、ドレインドライバ7にはシフトクロック信号 H_{CK} に同期しながら1ライン分の画像データ D_{AT} が順次供給される。

【0026】次に、ゲートドライバ8にスタート信号 V_{SP} を供給する。このスタート信号 V_{SP} が入力され（図2参照）ると、ゲートドライバ8の出力であるゲート線 8_{G1} に第1ラインの選択パルスが出力される。

【0027】この選択パルスは、ゲート線 8_{G1} 、 8_{G2} ・・・ 8_{Gy} の抵抗や容量（主にドレイン線 7_{D1} 、 7_{D2} ・・・ 7_{Dx} とゲート線 8_{G1} 、 8_{G2} ・・・ 8_{Gy} との交差容量）によって遅延し、ゲートドライバ8に最も近い TFT 2 がオンになってから最も遠い TFT 2 がオンになるまでには、ゲート線遅延時間 Δt を要する。

【0028】一方、第1ラインに書き込みたいデータは、シフトクロック信号 H_{CK} に同期してドレインドライバ7に入力が完了した後、ドレイン線 7_{D1} 、 7_{D2} ・・・ 7_{Dx} から一斉に出力させる。この出力タイミングは、ドレインドライバ7のラッチ端子12にパルスが入力されることで決定される。

【0029】本実施の形態では、このラッチ端子12がダミーゲート線9の終端9bに接続されている。このため、ダミーゲート線9の入力端9aに供給されたシフトクロック信号 V_{CK} はゲート線遅延時間 Δt だけ遅延し

てシフトクロック信号 V_{CK} (図2参照)として終端9bから出力され、このシフトクロック信号 V_{CK} がラッチ信号 L_P としてドレインドライバ7のラッチ端子12に供給される。

【0030】従って、第1ラインのゲート線 8_{G1} 上にあるTFT2、2・・・が末端までオンになった後、ドレインドライバ7が書き込みたいデータをドレイン線 7_{D1} 、 7_{D2} ・・・ 7_{Dx} に出力する。これにより、それぞれ第1ライン上の絵素にデータが書き込まれる。

【0031】次に上述の第1ラインのデータと同様、ドレインドライバ7に第2ライン目の画像データ D_{AT} を順次供給し、ゲートドライバ8にシフトクロック信号 V_{CK} を入力する。

【0032】このとき、第2ラインのゲート線 8_{G2} の選択パルスはオンになり、一方第1ラインのゲート線 8_{G1} の選択パルスはオフになるが、ゲート線 8_{G1} の末端に位置するTFT2まで完全にオフになるのはゲート線遅延時間 Δt 後である。

【0033】これにより、第1ライン目の画像データ D_{AT} は、対応する各絵素5、5・・・に保持される。また、第1ライン目の画像データ D_{AT} が対応する各絵素5、5・・・に保持されると同時に第2ライン目の画像データ D_{AT} がドレイン線 7_{D1} 、 7_{D2} ・・・ 7_{Dx} に出力されるため、第1ラインの画像データ D_{AT} に第2ラインの画像データ D_{AT} が混ざって絵素に書き込まれるということはない。

【0034】以降、最終ゲート線 8_{Gy} (第yラインに対応、図2参照)まで上述の動作を繰り返し、1画面分の画像データ D_{AT} が絵素5、5・・・へ書き込まれ、平面画像が得られる。

【0035】図3は、本発明の第2の実施の形態にかかるTFTパネルの構成を示すブロック図である。なお図3において、図1に示す各部と対応する部分には同一の符号を付し、その説明は省略する。

【0036】図3に示すガラス基板1aでは、ゲート線 8_{Gy} (即ち最終ゲート線)と平行且つこのゲート線 8_{Gy} よりドレインドライバ7寄りにダミーゲート線9が形成されている。このダミーゲート線9もドレイン線 7_{D1} 、 7_{D2} ・・・ 7_{Dx} と直交するが、TFT等は接続されていない。

【0037】ドレインドライバ7は液晶表示装置の機構設計により、上側あるいは下側の何れにも設置されることがある。そこで、何れの場合にあってもこのようにドレインドライバ7側にダミーゲート線 8_{G0} を形成することで、ダミーゲート線 8_{G0} へのパネル外部の配線が短くできるという利点がある。

【0038】

【発明の効果】以上説明したように、この発明によれば、第1の信号線群に供給する選択信号を順次シフトするために選択信号源に供給されるシフトクロック信号

を、第1の信号線群と略直交する第2の信号線群の各々に対する情報信号の入力端側において第1の信号線群と平行に形成された補助信号線の入力端に供給し、第1の信号線群の各々の入力端から終端までの信号伝達に要する時間に対応して補助信号線の終端から出力される遅延シフトクロック信号を、情報信号源が情報信号を等タイミングで出力するためのタイミング決定端子に供給するので、複雑で多大な空間を占有するタイミング調整回路等を設けることなく、複数の絵素に対する画像データの出力と、この絵素への画像データの書き込みのタイミングを合わせることができるとTFTパネルおよび液晶表示装置が実現可能であるという効果が得られる。

【0039】即ち本発明によれば、ダミーゲート線を用いてゲート線駆動タイミングを遅延させ、これをドレインドライバの出力タイミングとしている。これによって、ゲート線遅延時間がパネルによって多少ばらついても、信号タイミングを変更する必要はなくなり、パネルに最適なタイミングで電圧を書き込むことができる。

【0040】また、ドレインドライバの出力タイミングを制御するラッチ信号(L_P)とゲートドライバのスキヤンタイミングを制御するシフトクロック信号(V_{CK})との内、ラッチ信号を外側で生成ならびに供給する必要がなくなり、ドライバを制御する信号処理回路が簡素化される。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態にかかるTFTパネルの構成を示すブロック図である。

【図2】図1に示す各部における信号の変化の様子を示すタイミングチャートである。

【図3】本発明の第2の実施の形態にかかるTFTパネルの構成を示すブロック図である。

【図4】従来のTFTパネルのコントローラの一例にかかる電氣的構成を示すブロック図である。

【図5】図4に示すTFTパネルの各部における動作波形を示すタイミングチャートである。

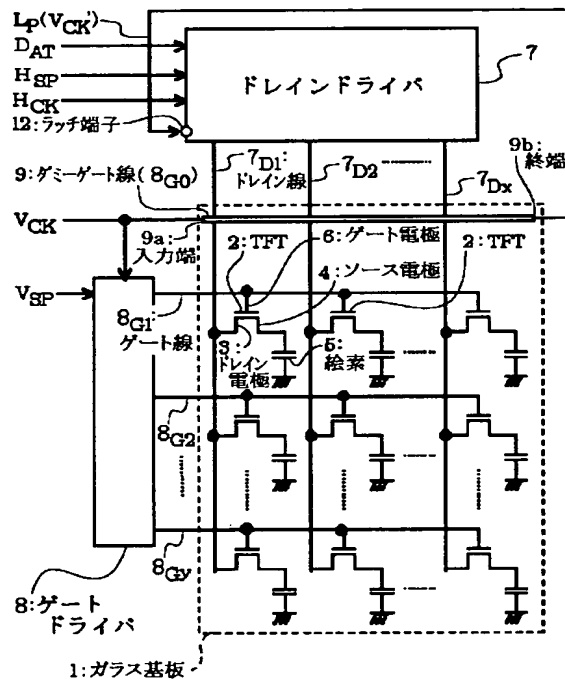
【符号の説明】

- 1、1a ガラス基板 (基板)
- 2、2・・・ TFT (薄膜トランジスタ)
- 3 ドレイン電極
- 4 ソース電極
- 5、5・・・ 絵素 (液晶絵素)
- 6 ゲート電極
- 7 ドレインドライバ (情報信号源)
- 7_{D1} 、 7_{D2} ・・・ 7_{Dx} ドレイン線 (第2の信号線群)
- 8 ゲートドライバ (選択信号源)
- 8_{G0} 、9 ダミーゲート線 (補助信号線)
- 8_{G1} 、 8_{G2} ・・・ 8_{Gy} ゲート線 (第1の信号線群)
- 9a 入力端

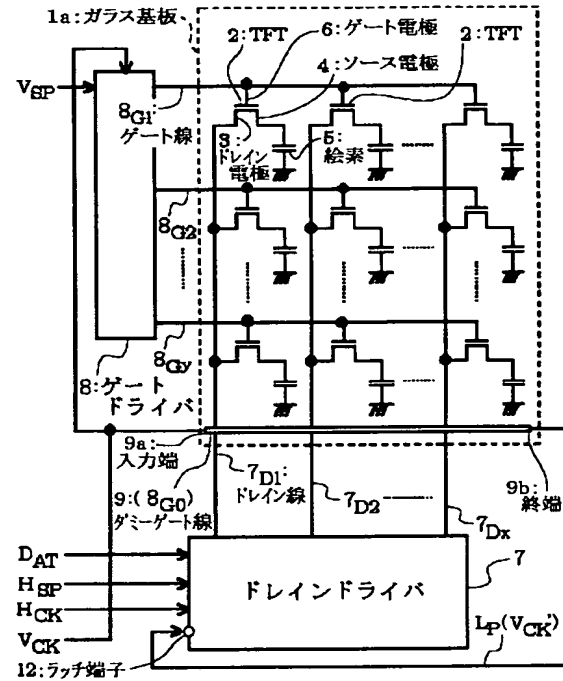
9b 終端
 12 ラッチ端子 (タイミング決定端子)
 101 ガラス基板
 102, 102... TFT
 107 ドレインドライバ
 108 ゲートドライバ
 $D_1, D_2 \dots D_x$ ドレイン線
 D_{AT} 画像データ
 D_{AT0} データパルス
 $G_1, G_2 \dots G_y$ ゲート線
 H_{CK} シフトクロック信号
 H_{CK0} シフトクロック信号

H_{SP} スタート信号
 H_{SP0} スタートパルス
 L_P ラッチ信号 (遅延シフトクロック信号)
 L_{P0} ラッチ信号
 V_{CK} シフトクロック信号
 $V_{CK'}$ シフトクロック信号 (遅延シフトクロック信号)
 V_{CK0} シフトクロック信号
 V_{SP} スタート信号
 V_{SP0} スタートパルス
 Δt ゲート線遅延時間 (時間)
 Δt_0 ゲート線遅延時間

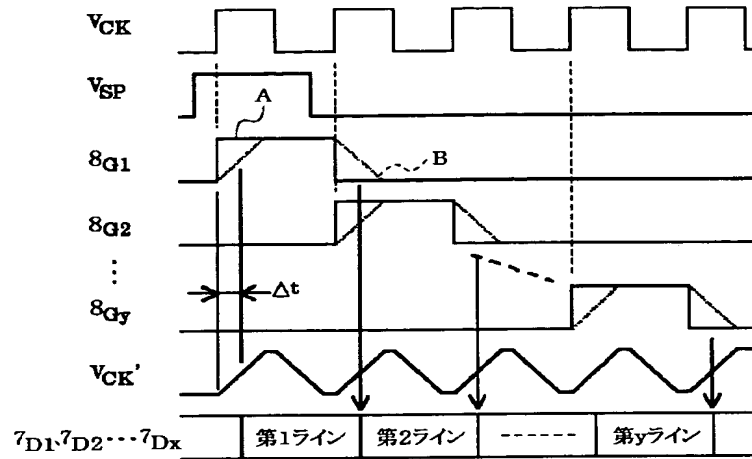
【図1】



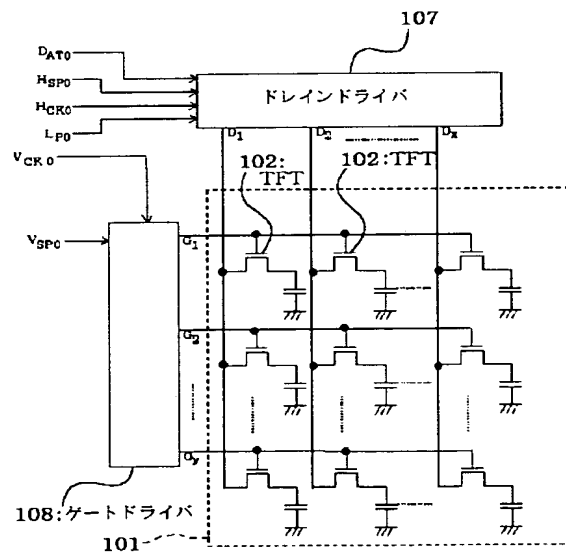
【図3】



【図2】



【図4】



101 ガラス基板

【図5】

